

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Kazuyuki IMAMURA, et al.**

Serial No.: **Not Yet Assigned**

Filed: **February 28, 2002**

For: **METHOD FOR MOUNTING ELECTRONIC PART AND PASTE MATERIAL**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

February 28, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

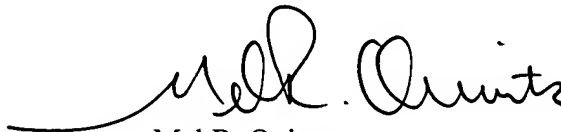
Japanese Appln. No. 2001-134532 filed May 1, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of these applications be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



Mel R. Quintos
Reg. No. 31,898

Atty. Docket No.: 020208
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
MRQ/ll



PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: May 1, 2001

Application Number: Japanese Patent Application
No. 2001-134532

Applicant(s) FUJITSU LIMITED

November 16, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3100275

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月 1日

出 願 番 号

Application Number:

特願2001-134532

出 願 人

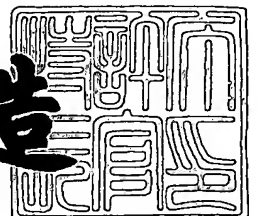
Applicant(s):

富士通株式会社

2001年11月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3100275

【書類名】 特許願

【整理番号】 0140020

【提出日】 平成13年 5月 1日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 21/60

【発明の名称】 電子部品の実装方法及びペースト材料

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 今村 和之

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 山口 修

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 藤本 康則

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 赤松 俊也

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100070150

 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン

プレイスタワー 3 2 階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子部品の実装方法及びペースト材料

【特許請求の範囲】

【請求項 1】 電子部品に設けられた突起電極を実装基板に設けられた接続端子に溶融接合することにより、前記電子部品を前記実装基板に実装する電子部品の実装方法において、

前記突起電極の直径より小さい直径を有する金属粒とベースフラックスとを含むフラックスペーストを前記実装基板上に配設する工程と、

前記フラックスペーストが配設された実装基板に前記電子部品を搭載すると共に加熱処理を行ない、前記突起電極を溶融し前記接続端子に接合する工程と、

前記突起電極と前記接続端子との接合後、前記電子部品と前記実装基板との間に形成される前記空間に樹脂を封止する工程とを有することを特徴とする電子部品の実装方法。

【請求項 2】 請求項 1 記載の電子部品の実装方法において、

前記金属粒の直径を、前記突起電極の直径の公差以上、前記突起電極の直径の約 $1/3$ 以下とし、

かつ、前記フラックスペーストが、該金属粒を体積比率で 1% 以上 20% 以下含む構成としたことを特徴とする電子部品の実装方法。

【請求項 3】 請求項 1 または 2 記載の電子部品の実装方法において、

前記フラックスペーストを、前記実装基板の前記接続端子を含む領域に、前記金属粒の直径以上、前記突起電極の直径の $1/2$ 以下の厚さで配設したことを特徴とする電子部品の実装方法。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の電子部品の実装方法において、

前記フラックスペーストのベースフラックスは、前記間隙を封止する樹脂を主成分とすることを特徴とする電子部品の実装方法。

【請求項 5】 請求項 1 乃至 3 のいずれか 1 項に記載の電子部品の実装方法において、

前記フラックスペーストのベースフラックスは、前記間隙を封止する樹脂のフ

ィラーを除いたものを主成分とすることを特徴とする電子部品の実装方法。

【請求項 6】 電子部品に設けられた突起電極を実装基板に設けられた接続端子に溶融接合することにより、前記電子部品を前記実装基板に実装する電子部品の実装方法において、

前記突起電極の直径より小さい直径を有する金属粒とベースフラックスとを含むフラックスペーストを前記突起電極上に配設する工程と、

前記実装基板に前記電子部品を搭載すると共に加熱処理を行ない、前記突起電極を溶融し前記接続端子に接合する工程と、

前記突起電極と前記接続端子との接合後、前記電子部品と前記実装基板との間に形成される前記空間に樹脂を封止する工程と
を有することを特徴とする電子部品の実装方法。

【請求項 7】 請求項 6 記載の電子部品の実装方法において、

前記金属粒の直径を、前記突起電極の直径の公差以上、前記突起電極の直径の約 1 / 3 以下とし、

かつ、前記フラックスペーストが、該金属粒を体積比率で 1 % 以上 2 0 % 以下含む構成としたことを特徴とする電子部品の実装方法。

【請求項 8】 請求項 6 または 7 記載の電子部品の実装方法において、

前記フラックスペーストのベースフラックスは、前記間隙を封止する樹脂を主成分とすることを特徴とする電子部品の実装方法。

【請求項 9】 請求項 6 または 7 記載の電子部品の実装方法において、

前記フラックスペーストのベースフラックスは、前記間隙を封止する樹脂のフィラーを除いたものを主成分とすることを特徴とする電子部品の実装方法。

【請求項 1 0】 電子部品に設けられた突起電極を実装基板に設けられた接続端子に溶融接合するのに使用されるペースト材料において、

金属粒とベースフラックスとにより構成されており、

該金属粒の直径を、前記突起電極の直径の公差以上、前記突起電極の直径の約 1 / 3 以下とし、

かつ、該金属粒が体積比率で 1 % 以上 2 0 % 以下含む構成としたことを特徴とするペースト材料。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子部品の実装方法及びペースト材料に係り、特にフリップチップ実装方式等の電子部品の突起電極を溶融させて実装基板の接続端子に接続する電子部品の実装方法及びこの実装に使用するペースト材料に関する。

【0002】

近年、携帯電話等に代表されるように、半導体装置等の電子部品は小型・高密度化・高速化が急速な勢いで進んでいる。これに対応すべく、電子部品の外部接続端子としてはんだバンプ等の突起電極を用い、この突起電極を実装基板に接合させることにより、電子部品と実装基板を電氣的に接続するフリップチップ実装が多用されるようになってきている。

【0003】

このフリップチップ実装によれば、リードを用いた実装に比べ、実装に要する面積を小さくできるため小型化・高密度化を測ることができ、また電子部品と実装基板との間における配線長を短くできるため高速化に対応することができる。

【0004】

【従来の技術】

従来、はんだバンプ等の突起電極を有した電子部品を実装基板にフリップチップ実装する方法としては、ボンディングツールに電子部品を保持し、実装基板のボンディング位置に位置合わせし、加圧加熱することではんだバンプを接触/溶融させて接合する方法が主流であった。しかしながら、この実装方法は個々の電子部品をそれぞれ処理するため、表面実装リフローはんだ付け方法に比較して作業効率の悪いという問題点がある。

【0005】

これに対し、作業効率の向上を図るため、一般的な表面実装リフローはんだ付け方法と同様に実装基板の接続端子上に溶ダーペーストを印刷し、そこに電子部品のはんだバンプを位置合わせして搭載し、リフロー工程ではんだバンプを溶融させ接合する方法も一部採用されている（以下、この実装方法を従来技術1と

いう)。図 1 は、この従来技術 1 に係る実装方法を示している。尚、図 1 では電子部品として半導体装置 1 を用いた例を示している。

【0 0 0 6】

図 1 (A) は、実装基板 3 に溶剤ペースト 5 を印刷した状態を示している。溶剤ペースト 5 ははんだ粉末の体積比が約 50% のものが一般的であり、この溶剤ペースト 5 はスクリーン印刷法を用いて実装基板 3 の接続端子 4 上に配設される。

【0 0 0 7】

続いて、半導体装置 1 のはんだバンプ 2 と、実装基板 3 の接続端子 4 とを位置合わせし、図 1 (B) に示すように、半導体装置 1 を実装基板 3 に搭載する。これにより、半導体装置 1 は溶剤ペースト 5 により実装基板 3 に仮固定された状態となる。

【0 0 0 8】

続いて、半導体装置 1 が仮固定された実装基板 3 をリフロー炉に通し、はんだバンプ 2 を溶融させて接続端子 4 に接合する。図 1 (C) は、はんだバンプ 2 が接続端子 4 に接合された状態を示している。リフロー処理によるはんだバンプ 2 と接続端子 4 との接合が終了すると、必要に応じて残留フラックスの洗浄処理が実施され、これにより図 1 (D) に示すように、半導体装置 1 の実装基板 3 への実装が完了する。

【0 0 0 9】

一方、バンプ自体がはんだであることを利用し、フラックスのみを実装基板またははんだバンプの先端に塗布し、電子部品を実装基板にリフロー処理により実装する方法も提案されている（以下、この実装方法を従来技術 2 という）。図 2 は、この従来技術 2 に係る実装方法を示している。尚、図 2 においても、電子部品として半導体装置 1 を用いた例を示している。

【0 0 1 0】

図 2 (A) は、実装基板 3 にフラックス 8 を印刷した状態を示している。フラックス 8 は、図 1 に示した溶剤ペースト 5 と異なり、はんだ粉末は含まれていない。このフラックス 8 は実装基板 3 の上面全面に配設される。

【0011】

続いて、半導体装置1のはんだバンプ2と、実装基板3の接続端子4とを位置合わせし、図2（B）に示すように、半導体装置1を実装基板3に搭載する。これにより、半導体装置1はフラックス8により実装基板3に仮固定された状態となる。

【0012】

続いて、半導体装置1が仮固定された実装基板3をリフロー炉に通し、はんだバンプ2を溶融させて接続端子4に接合する。図2（C）は、はんだバンプ2が接続端子4に接合された状態を示している。リフロー処理によるはんだバンプ2と接続端子4との接合が終了すると、必要に応じて残留フラックスの洗浄処理が実施され、これにより図2（D）に示すように、半導体装置1の実装基板3への実装が完了する。

【0013】

【発明が解決しようとする課題】

しかしながら、上記した従来技術1の方法では、溶剤ペースト5を微細に実装基板3の接続端子4上に印刷する技術が必要となり、適切な印刷ができない場合は端子間でブリッジ部6を生じたり（図1（C）、（D）参照）、逆にはんだバンプ2と接続端子4との間で接合不良が生じたりするという問題点があった。

【0014】

また、現在のはんだ粉末の体積比が約50%の溶剤ペースト5では、半導体装置1のバンプピッチが150 μm を下回る場合には、このバンプピッチに対応して形成された微細な接続端子4に適正に溶剤ペースト5を印刷することが困難となる。

更に、搭載した半導体装置1は、リフロー工程が終了するまで実装基板3上の所定搭載位置に保持される必要があるが、接続端子4上に印刷された微小量の溶剤ペースト5ではその保持力を十分に確保しにくいという問題もある。

【0015】

一方、上記した従来技術2の方法では、はんだバンプ2と実装基板3との平坦

性に対する許容が低く、はんだバンプ 2 と実装基板 3 の接続端子 4 が接合されないとおそれがある。即ち、はんだバンプ 2 には必然的に直径のバラツキが存在する（図 2（A）に矢印 ΔH で示す）。このため、同図に示すはんだバンプ 2 B のように正常のはんだバンプ 2 A に対して直径が小さいと、はんだバンプ 2 B と接続端子 4 との間に間隙が発生してしまう。

【 0 0 1 6 】

図 1 に示す実装方法では、ソルダーペースト 5 内に体積比が約 50% のはんだ粉末が含まれているため、加熱時にこのはんだ粉も溶融してはんだバンプ 2 と接続端子 4 との間に間隙が生じても、この間隙を溶融したはんだ粉が埋めるため問題は生じなかった。

【 0 0 1 7 】

しかしながら、図 2 に示す実装方法ではフラックス 8 にはんだ粉が存在していないため、はんだバンプ 2 の直径バラツキに起因してはんだバンプ 2 B と接続端子 4 との間に間隙が形成されると、リフロー時においてもはんだバンプ 2 B と接続端子 4 とは離間された状態が維持される。よって、はんだバンプ 2 B と接続端子 4 との間に間隙が発生し接続不良が発生してしまう。

【 0 0 1 8 】

これらの問題点を解決すべく、特開平 4-262890 公報では、半導体装置（はんだバンプは設けられていない）と実装基板とを、はんだ粒とフラックスを含む熱硬化性接着剤により接合する方法が提案されている。また、特開平 11-186334 公報では、フラックスを保持したはんだ粒を熱硬化性樹脂シートまたはペーストに含有させた異方導電性材料を用い、この異方導電性材料により半導体装置と実装基板を接合する方法が提案されている。

【 0 0 1 9 】

しかしながら、上記した各公報で提案された実装方法では、はんだ付け工程での加熱処理に耐えられるように熱硬化性接着剤、熱硬化性樹脂シート、或いは異方導電性材料（以下、これらをまとめて熱硬化性樹脂という）を選定する必要がある。更に、この熱硬化性樹脂は、いわゆるアンダーフィルレジンとしても機能することとなるため、半導体装置のサイズ、半導体装置と基板の間隔、電極材料

、実装基板材料の組み合わせ等に影響を受け、実装信頼性を確保するためにはその弾性率、熱膨張係数、接着強度等の材料特性を調整する必要がある。

このように、熱硬化性樹脂の選定においては、加熱処理時における熱耐性及びアンダーフィルレジンとしての特性を共に考慮して選定を行なう必要があり、その選定処理が困難となるという問題点がある。

【 0 0 2 0 】

本発明は上記の点に鑑みてなされたものであり、電子部品を実装基板に実装する際の突起電極と接続端子との実装信頼性を向上しうる電子部品の実装方法及びペースト材料を提供することを目的とする。

【 0 0 2 1 】

【課題を解決するための手段】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【 0 0 2 2 】

請求項 1 記載の発明は、

電子部品に設けられた突起電極を実装基板に設けられた接続端子に溶融接合することにより、前記電子部品を前記実装基板に実装する電子部品の実装方法において、

前記突起電極の直径より小さい直径を有する金属粒とベースフラックスとを含むフラックスペーストを前記実装基板上に配設する工程と、

前記フラックスペーストが配設された実装基板に前記電子部品を搭載すると共に加熱処理を行ない、前記突起電極を溶融し前記接続端子に接合する工程と、

前記突起電極と前記接続端子との接合後、前記電子部品と前記実装基板との間に形成される前記空間に樹脂を封止する工程とを有することを特徴とするものである。

【 0 0 2 3 】

上記発明によれば、突起電極の直径（高さ）のバラツキにより、一部の接合位置で突起電極の先端と接続端子との間に間隙が生じても、実装基板には金属粒とベースフラックスとを含むフラックスペーストが配設されているため、間隙に存

在する金属粒が突起電極と接続端子との接合を補助する。即ち、突起電極と接続端子との間に間隙が存在しても、金属粒がこの間隙間を電氣的に接続する構成となるため、突起電極と接続端子に接合不良が発生することを防止することができる。この際、金属粒の直径は突起電極の直径より小さい直径とされているため、金属粒の存在により電子装置と実装基板との離間距離が突起電極の直径以上となるようなことはない。

【 0 0 2 4 】

また、電子部品を実装基板に搭載した後、この電子部品と実装基板との間に形成された空間部に樹脂を充填することにより、電子部品と実装基板との実装強度を向上させることができる。また、この時に配設される樹脂はフラックスペーストの材質に影響されることなく選定することが可能であり、よって樹脂の選定を容易に行なうことができる。

【 0 0 2 5 】

また、請求項 2 記載の発明は、

請求項 1 記載の電子部品の実装方法において、

前記金属粒の直径を、前記突起電極の直径の公差以上、前記突起電極の直径の約 1 / 3 以下とし、

かつ、前記フラックスペーストが、該金属粒を体積比率で 1 % 以上 2 0 % 以下含む構成としたことを特徴とするものである。

【 0 0 2 6 】

上記発明によれば、金属粒の直径を突起電極の直径の公差以上としたことにより、突起電極の直径のバラツキにより突起電極と接続端子との間に間隙が発生しても確実に突起電極と接続端子を電氣的に接続することができる。

即ち、電子部品を実装基板に搭載した際、突起電極の直径のバラツキにより突起電極と接続端子との間に発生する間隙の値は、突起電極の直径の公差が最大値となる。このため、金属粒の直径を突起電極の直径の公差以上とすることにより、即ち金属粒の直径を発生する可能性がある間隙の最大値以上の値に設定することにより、突起電極と接続端子とを確実に電氣的に接続することができる。

【 0 0 2 7 】

また、金属粒の直径を突起電極の直径の約 $1/3$ 以下としたことにより、突起電極を溶融し接続端子に接合する際、隣接する突起電極が金属粒により接続されて短絡することを防止できる。

【 0 0 2 8 】

更に、フラックスペーストが金属粒を体積比率で 1 % 以上 2 0 % 以下含む構成としたことにより、従来において通常用いられていた体積比率で約 5 0 % 程度のはんだ粒子を含有する溶ダーペーストに比べ、配設量のコントロールを厳しく設定しなくてもブリッジ不良の発生を抑制でき、また突起電極が接続端子に溶融接合されるまでの間における電子部品の実装基板への保持も確実にこなうことができる。

【 0 0 2 9 】

また、請求項 3 記載の発明は、

請求項 1 または 2 記載の電子部品の実装方法において、

前記フラックスペーストを、前記実装基板の前記接続端子を含む領域に、前記金属粒の直径以上、前記突起電極の直径の $1/2$ 以下の厚さで配設したことを特徴とするものである。

【 0 0 3 0 】

上記発明によれば、フラックスペーストを実装基板に金属粒の直径以上でかつ突起電極の直径の $1/2$ 以下の厚さで配設したことにより、接合処理が終了した時点で電子部品と実装基板との間隙が残留フラックスで塞がれることを防止できる。よって、その後に実施される樹脂の封止処理を容易に行なうことができる。

【 0 0 3 1 】

また、請求項 4 記載の発明は、

請求項 1 乃至 3 のいずれか 1 項に記載の電子部品の実装方法において、

前記フラックスペーストのベースフラックスは、前記間隙を封止する樹脂を主成分とすることを特徴とするものである。

【 0 0 3 2 】

上記発明によれば、接合後に残留するベースフラックスは、その後電子部品と実装基板との間に配設する樹脂と同成分であるため、この封止用の樹脂との接合

性は良好である。このため、樹脂の配設前にベースフラックスを洗浄する必要はなくなり、実装工程の簡略化を図ることができる。

【 0 0 3 3 】

また、請求項 5 記載の発明は、
請求項 1 乃至 3 のいずれか 1 項に記載の電子部品の実装方法において、
前記フラックスペーストのベースフラックスは、前記間隙を封止する樹脂のフィラーを除いたものを主成分とすることを特徴とするものである。

【 0 0 3 4 】

上記発明によれば、突起電極と接続端子の接合時において、突起電極と接続端子との間に上記樹脂のフィラーが存在しないため接合性を向上させることができる。

【 0 0 3 5 】

また、上記の請求項 1 乃至請求項 5 のいずれか 1 項に記載の発明において、
前記突起電極をボール形状とし、かつ、前記金属粒を前記突起電極が前記接続端子に押圧された際に移動しうる滑面を有した形状としてもよい。

【 0 0 3 6 】

この構成とすることにより、電子部品を実装基板に搭載する際、突起電極が接続端子に近接するに従い金属粒は突起電極と接続端子との間で円滑に移動する。
このため、突起電極と接続端子との間に間隙が存在しても、金属粒はこの間隙の間において突起電極と接続端子とを確実に電氣的に接続し、よって突起電極と接続端子の実装信頼性を向上させることができる。

【 0 0 3 7 】

また、請求項 6 記載の発明は、
電子部品に設けられた突起電極を実装基板に設けられた接続端子に溶融接合することにより、前記電子部品を前記実装基板に実装する電子部品の実装方法において、
前記突起電極の直径より小さい直径を有する金属粒とベースフラックスとを含むフラックスペーストを前記突起電極上に配設する工程と、
前記実装基板に前記電子部品を搭載すると共に加熱処理を行ない、前記突起電

極を溶融し前記接続端子に接合する工程と、

前記突起電極と前記接続端子との接合後、前記電子部品と前記実装基板との間に形成される前記空間に樹脂を封止する工程とを有することを特徴とするものである。

【 0 0 3 8 】

上記発明によれば、請求項 1 記載の発明と同様の理由により、突起電極と接続端子との間に間隙が存在しても、金属粒がこの間隙間を電氣的に接続する構成となるため、突起電極と接続端子に接合不良が発生することを防止することができる。また、電子部品と実装基板との間に形成された空間部に封止用の樹脂を充填することにより、電子部品と実装基板との実装強度を向上させることができる。

また、請求項 7 記載の発明は、

請求項 6 記載の電子部品の実装方法において、

前記金属粒の直径を、前記突起電極の直径の公差以上、前記突起電極の直径の約 1 / 3 以下とし、

かつ、前記フラックスペーストが、該金属粒を体積比率で 1 % 以上 2 0 % 以下含む構成としたことを特徴とするものである。

【 0 0 3 9 】

上記発明によれば、請求項 2 記載の発明と同様の理由により、突起電極の直径のバラツキにより突起電極と接続端子との間に間隙が発生しても確実に突起電極と接続端子を電氣的に接続することができる。また、金属粒の直径を突起電極の直径の約 1 / 3 以下としたことにより、突起電極を溶融し接続端子に接合する際、隣接する突起電極が金属粒により接続されて短絡することを防止できる。

【 0 0 4 0 】

更に、フラックスペーストが金属粒を体積比率で 1 % 以上 2 0 % 以下含む構成としたことにより、配設量のコントロールを厳しく設定しなくてもブリッジ不良の発生を抑制でき、また突起電極が接続端子に溶融接合されるまでの間における電子部品の実装基板への保持も確実に行なうことができる。

【 0 0 4 1 】

また、請求項 8 記載の発明は、

請求項 6 または 7 記載の電子部品の実装方法において、

前記フラックスペーストのベースフラックスは、前記間隙を封止する樹脂を主成分とすることを特徴とするものである。

【 0 0 4 2 】

上記発明によれば、請求項 4 記載の発明と同様の理由により、接合後に残留するベースフラックスと封止用の樹脂との接合性は良好となり、よって樹脂の配設前にベースフラックスを洗浄する必要はなくなり、実装工程の簡略化を図ることができる。

【 0 0 4 3 】

また、請求項 9 記載の発明は、

請求項 6 または 7 記載の電子部品の実装方法において、

前記フラックスペーストのベースフラックスは、前記間隙を封止する樹脂のフイラーを除いたものを主成分とすることを特徴とするものである。

【 0 0 4 4 】

上記発明によれば、請求項 5 記載の発明と同様の理由により、接合時において突起電極と接続端子の接合性を向上させることができる。

【 0 0 4 5 】

また、上記請求項 6 乃至 9 のいずれか 1 項に記載の発明において、

前記突起電極をボール形状とし、かつ、前記金属粒を、前記突起電極が前記接続端子に押圧された際に移動しうる滑面を有した形状としてもよい。

【 0 0 4 6 】

この構成とすることにより、電子部品を実装基板に搭載する際、突起電極が接続端子に近接するに従い金属粒は突起電極と接続端子との間で円滑に移動するため、突起電極と接続端子の実装信頼性を向上させることができる。

【 0 0 4 7 】

また、請求項 1 0 記載の発明は、

電子部品に設けられた突起電極を実装基板に設けられた接続端子に溶融接合するのに使用されるペースト材料において、

金属粒とベースフラックスとにより構成されており、

該金属粒の直径を、前記突起電極の直径の公差以上、前記突起電極の直径の約 1 / 3 以下とし、

かつ、該金属粒が体積比率で 1 % 以上 2 0 % 以下含む構成としたことを特徴とするものである。

【 0 0 4 8 】

上記発明によれば、請求項 2 及び請求項 7 記載の発明と同様の理由により、突起電極の直径のバラツキにより突起電極と接続端子との間に間隙が発生しても確実に突起電極と接続端子を電氣的に接続することができる。また、金属粒の直径を突起電極の直径の約 1 / 3 以下としたことにより、突起電極を溶融し接続端子に接合する際、隣接する突起電極が金属粒により接続されて短絡することを防止できる。

【 0 0 4 9 】

更に、フラックスペーストが金属粒を体積比率で 1 % 以上 2 0 % 以下含む構成としたことにより、配設量のコントロールを厳しく設定しなくてもブリッジ不良の発生を抑制でき、また突起電極が接続端子に溶融接合されるまでの間における電子部品の実装基板への保持も確実に行なうことができる。

【 0 0 5 0 】

【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。

【 0 0 5 1 】

図 3 乃至図 5 は、本発明の第 1 実施例である電子部品の実装方法及びペースト材料を説明するための図である。尚、以下の説明では、電子部品として半導体装置 1 0 を用いた例について説明する。

【 0 0 5 2 】

本実施例に係る実装方法では、半導体装置 1 0 を実装基板 1 3 にフリップチップ実装する。半導体装置 1 0 を実装基板 1 3 にフリップチップ実装するには、先ず図 3 (A) に示すように、フラックスペースト 1 5 A を実装基板 1 3 上に配設する。

半導体装置 1 0 は、例えばバンプ付きベアチップや C S P (チップサイズパッ

ケージ) タイプの半導体装置であり、複数の突起電極が配設されている。本実施例では、突起電極としてはんだバンプ 1 2 を用いた例を示している。しかしながら、半導体装置 1 0 に配設される突起電極は半導体装置 1 0 に限定されるものではなく、スタッドバンプ、メッキバンプ等の他の構造を有したバンプに対しても本発明は適用できるものである。

【 0 0 5 3 】

はんだバンプ 1 2 は直径 H_1 を有しているが、製造誤差等により所定の公差 ΔH を有している。尚、本明細書において公差 ΔH とは、はんだバンプ 1 2 に許容されている最大直径を有したはんだバンプ (図 3 (A) に例示的に示すはんだバンプ 1 2 A) と、はんだバンプ 1 2 に許容されている最小直径を有したはんだバンプ (図 3 (A) に例示的に示すはんだバンプ 1 2 B) との直径差をいうものとする。

【 0 0 5 4 】

一方、実装基板 1 3 は、例えばガラスエポキシ製の配線基板であり、表面に接続端子 1 4 及び図示しない配線が形成されている。フラックスペースト 1 5 A は、この実装基板 1 3 の上面全面に配設される。フラックスペースト 1 5 A を実装基板 1 3 上に配設する方法は、特に限定されるものではなく、例えばステンシル印刷やスクリーン印刷法等を用いて形成することができる。

【 0 0 5 5 】

この際、ステンシル印刷を適用する場合には、フラックスペースト 1 5 A の粘度を $30 \text{ Pa} \cdot \text{s}$ 程度とすることが望ましい。また、フラックスペースト 1 5 A の配設方法は、後述するようにフラックスペースト 1 5 A の厚さを管理しうる配設方法を用いる必要がある。

【 0 0 5 6 】

ここで、フラックスペースト 1 5 A の具体的構成について説明する。

フラックスペースト 1 5 A は、ベースフラックス 1 7 内に金属粒 1 6 を混入した構成とされている。具体的には、フラックスペースト 1 5 A は、上記のベースフラックス 1 7 に上記の金属粒 1 6 を体積比率で 1 % 以上 2 0 % 以下含むよう攪拌混練することで作製される。

【 0 0 5 7 】

金属粒 1 6 は導電性を有した金属により形成されており、具体的にははんだ合金、金、或いは銀等を用いることが可能である。この金属粒 1 6 の直径は、前記したはんだバンプ 1 2 の直径の公差 ΔH 以上で、かつはんだバンプ 1 2 の直径 H_1 の約 $1/3$ 以下となるよう設定されている。

【 0 0 5 8 】

また、ベースフラックス 1 7 は、一般的なはんだ付けフラックスであるロジン系フラックスを用いることが可能である。また、後に説明するように、はんだバンプ 1 2 と接続端子 1 4 との接合後において、半導体装置 1 0 と実装基板 1 3 との間を封止する補強樹脂 1 8 (アンダーフィルレジンとして機能する) との適合性を考慮し、この補強樹脂 1 8 となる樹脂材料をベースフラックス 1 7 として用いることも可能である。

この際、補強樹脂 1 8 としては通常エポキシ樹脂およびその硬化剤を含むものが適用されるが、酸無水物系やアミン系の硬化剤はフラックスの活性剤としての機能も有する。このため、補強樹脂 1 8 となる樹脂材料をベースフラックス 1 7 として用いた場合には、特に活性剤を添加しなくとも、補強樹脂 1 8 となる樹脂材料をベースフラックス 1 7 としてそのまま適用することができる。

【 0 0 5 9 】

図 4 は、上記構成とされたフラックスペースト 1 5 A が実装基板 1 3 上に配設された状態を拡大して示す図である。同図に示すように、フラックスペースト 1 5 A が実装基板 1 3 上に配設された状態において、金属粒 1 6 は実装基板 1 3 に形成された接続端子 1 4 の形成領域上に単位面積あたり略同一の個数で均一に位置している。また、実装基板 1 3 上におけるフラックスペースト 1 5 A の厚さは、金属粒 1 6 の直径以上、金属粒 1 6 の直径の $1/2$ 以下の範囲の厚さに設定されている。

【 0 0 6 0 】

ここで、再び図 3 に戻り、実装方法の説明を続ける。上記のようにフラックスペースト 1 5 A を実装基板 1 3 上に配設する処理が終了すると、続いて図 3 (B) に示すように、実装基板 1 3 の接続端子 1 4 と半導体装置 1 0 のはんだバンプ

1 2 とを位置合わせし、半導体装置 1 0 を実装基板 1 3 上に搭載する。これにより、半導体装置 1 0 はフラックスペースト 1 5 A（具体的には、ベースフラックス 1 7）の有する接着力により実装基板 1 3 に仮固定される。

【 0 0 6 1 】

この時、半導体装置 1 0 のはんだバンプ 1 2 が実装基板 1 3 の接続端子 1 4 に接触するよう、搭載時に半導体装置 1 0 を上から実装基板 1 3 に向けて荷重を印加することが望ましい。これによりはんだバンプ 1 2 下に存在した金属粒 1 6 は荷重により横に押し出される。具体的には、図 5 に一点鎖線で示すようにはんだバンプ 1 2 下に存在した金属粒 1 6 は、半導体装置 1 0 が実装基板 1 3 に向けて押し付けられることにより、図中矢印で示す方向に押し出される。

【 0 0 6 2 】

この際本実施例では、はんだバンプ 1 2 の形状がボール形状とされており、かつ、金属粒 1 6 もはんだバンプ 1 2 が接続端子 1 4 に押圧された時に容易に移動しうよう滑面を有した形状（具体的には球形状）とされている。このため、はんだバンプ 1 2 が接続端子 1 4 に近接するに従い、金属粒 1 6 は容易に横方向（図 5 に矢印で示す方向）移動する。

【 0 0 6 3 】

ここで、前記したようにはんだバンプ 1 2 の直径（高さ）にバラツキが存在した場合、図 5 に示すようにはんだバンプ 1 2 の直径の大きさにより金属粒 1 6 の押し出され方が異なる。即ち、直径の大きいはんだバンプ 1 2（特に、符号 1 2 A で示すはんだバンプ 1 2）では、はんだバンプ 1 2 A は接続端子 1 4 と直接当接するため、金属粒 1 6 ははんだバンプ 1 2 A と接続端子 1 4 との接合位置の側部に位置する。

【 0 0 6 4 】

これに対し、直径の小さいはんだバンプ 1 2（特に、符号 1 2 B で示すはんだバンプ 1 2）では、直径の大きいはんだバンプ 1 2 A が接続端子 1 4 と当接した時点で、直径の小さいはんだバンプ 1 2 B は接続端子 1 4 と離間した状態である。そして、金属粒 1 6 は、はんだバンプ 1 2 B と接続端子 1 4 との間隙に挟まるよう位置する。前記したように、金属粒 1 6 は導電性を有した金属により形成さ

れているため、はんだバンプ 1 2 B と接続端子 1 4 との間が離間していたとしても、金属粒 1 6 によりはんだバンプ 1 2 B と接続端子 1 4 は電氣的に接続される。

【 0 0 6 5 】

このため、はんだバンプ 1 2 B と接続端子 1 4 との間に間隙が存在しても、金属粒 1 6 はこの間隙の間においてはんだバンプ 1 2 B と接続端子 1 4 とを確実に電氣的に接続するため、半導体装置 1 0 と実装基板 1 3 の実装信頼性を向上させることができる。

【 0 0 6 6 】

ここで、前記したように金属粒 1 6 の直径は、はんだバンプ 1 2 の直径の公差 ΔH よりも大きい寸法に設定されている。この公差 ΔH は、はんだバンプ 1 2 に許容されている最大直径をと最小直径との直径差である。このため、換言すれば公差 ΔH は、半導体装置 1 0 を実装基板 1 3 に搭載した場合にはんだバンプ 1 2 と接続端子 1 4 との間に形成される間隙の最大値ということができる。

【 0 0 6 7 】

従って、金属粒 1 6 の直径をはんだバンプ 1 2 の直径の公差 ΔH よりも大きい寸法に設定することにより、即ち金属粒 1 6 の直径を発生する可能性がある間隙（はんだバンプ 1 2 と接続端子 1 4 との間の間隙）の最大値以上の値に設定することにより、はんだバンプ 1 2 と接続端子 1 4 とを確実に電氣的に接続することができる。

【 0 0 6 8 】

また本実施例では、金属粒 1 6 の直径をはんだバンプ 1 2 の直径（はんだバンプ 1 2 の設計上の直径、或いは半導体装置 1 0 に配設された複数のはんだバンプ 1 2 の平均直径）の約 $1/3$ 以下となるよう設定している。このように、金属粒 1 6 の最大直径を規定したのは、これ以上の直径となると、隣接するはんだバンプ 1 2 と接続端子 1 4 との接続位置間が金属粒 1 6 によりブリッジされ短絡するおそれがあるからである。よって、金属粒 1 6 の直径をはんだバンプ 1 2 の直径の約 $1/3$ 以下となるよう設定することにより、隣接する接続位置間が金属粒 1 6 により接続されて短絡することを防止できる。

【0069】

また、この隣接する接続位置間における短絡は、フラックスペースト15Aを構成するベースフラックス17に対する金属粒16の混合の割合にも影響される。即ち、上記の短絡は、ベースフラックス17に対する金属粒16の混合の割合を増大させることにより発生し易くなる。

【0070】

そこで本実施例では、フラックスペースト15Aが金属粒16を体積比率で1%以上20%以下含む構成とした。この構成とすることにより、従来において一般に用いられていた体積比率で約50%程度のはんだ粒子を含有するソルダーペーストに比べ、フラックスペースト15Aの実装基板13に対する配設量のコントロールを厳しく設定しなくても短絡の発生を抑制できる。

【0071】

更に、金属粒16の含有率を増大させると、相対的にベースフラックス17の含有比率が低減するため、半導体装置10を実装基板13に搭載した際の仮止め力が低減することが考えられる。

しかしながら、金属粒16を体積比率で1%以上20%以下含む構成のフラックスペースト15Aでは、必要とされる上記仮止め力を維持することができ、後述するように金属粒16が接続端子14に溶融接合されるまでの間において、半導体装置10を実装基板13に確実に保持することができる。よって、半導体装置10を実装基板13に搭載した後、金属粒16を接続端子14に溶融接合するまでの間における、半導体装置10の実装基板13からの離脱を防止することができる。

【0072】

上記したように、半導体装置10が実装基板13上に搭載されると、半導体装置10を搭載した実装基板13をリフロー炉に通し、はんだバンプ12を加熱溶融して接続端子14に接合させる処理が行なわれる。この際、フラックスペースト15Aのフラックス作用により、はんだバンプ12及び接続端子14の表面酸化膜が除去され、はんだバンプ12は接続端子14に濡れ広がる。

【0073】

また、上記した半導体装置 1 0 の実装基板 1 3 への搭載時に、正常な直径（高さ）或いはそれより大きな直径を有するはんだバンプ 1 2 A の側部に押し出された金属粒 1 6 は、溶融したはんだバンプ 1 2 A の表面張力によりはんだバンプ 1 2 A の中に取り込まれる。このとき、突起電極 6 の実装基板端子 5 への濡れ広がりに伴い、半導体装置 1 0 と実装基板 1 3 との間隔は狭まる。

【 0 0 7 4 】

一方、直径（高さ）の小さなはんだバンプ 1 2 B と接続端子 1 4 との接合位置では、はんだバンプ 1 2 B と接続端子 1 4 が直接接していないため直接濡れ広がりはないが、間隙に存在する金属粒 1 6 を介して濡れが生じ、かつ上記のように正常な高さのはんだバンプ 1 2 A が接続端子 1 4 に濡れ広がる際に半導体装置 1 0 は沈み込むため、直径の小さなはんだバンプ 1 2 B も接続端子 1 4 の全体に濡れ広がる。

これにより、直径の大小に拘わらず、はんだバンプ 1 2 A、1 2 B は、確実に接続端子 1 4 に接合される。図 3（C）は、各はんだバンプ 1 2（1 2 A、1 2 B）が接続端子 1 4 に接合された状態を示している。

【 0 0 7 5 】

尚、この際にフラックスペースト 1 5 A に含有させる金属粒 1 6 をはんだバンプ 1 2 と同一材料（本実施例でははんだ）とし、はんだバンプ 1 2 の溶融時に金属粒 1 6 も同時に溶融させる構成としてもよい。また、はんだバンプ 1 2 よりも融点の低い材料を用いることにより、はんだバンプ 1 2 よりも先に金属粒 1 6 を溶融させることとしてもよい。

【 0 0 7 6 】

上記のようにはんだバンプ 1 2 が接続端子 1 4 に接合されると、続いて図 3（D）に示すように、後に実施する補強樹脂 1 8 の形成処理の妨げとならないよう、また形成された補強樹脂 1 8 の信頼性を低下させないよう、残留したベースフラックス 1 7（残留フラックス）及び残留した金属粒 1 6（残留金属粒）を洗浄除去する処理を行なう。

尚、後述する実施例のように、残留フラックスおよび残留金属粒が補強樹脂 1 8 の形成処理の妨げにならず、かつ後に実施される実装工程の信頼性に問題がな

いものであれば、残留フラックスおよび残留金属粒の洗浄処理は必ずしも必要でない。

【 0 0 7 7 】

上記の洗浄処理が終了すると、続いて半導体装置 1 0 と実装基板 1 3 との間に形成されている空間部に樹脂を注入して補強樹脂 1 8 を形成する処理を行なう。この際、半導体装置 1 0 と実装基板 1 3 との間に残留フラックスおよび残留金属粒は存在しないため、補強樹脂 1 8 の選定を容易に行なうことができる。

【 0 0 7 8 】

この補強樹脂 1 8 を設けることにより、半導体装置 1 0 と実装基板 1 3 との接合の機械的強度は、はんだバンプ 1 2 による接合力と補強樹脂 1 8 による接合力とを合わせた強度となる。

このため、半導体装置 1 0 と実装基板 1 3 との熱膨張率の違いにより半導体装置 1 0 と実装基板 1 3 との間に応力が発生しても、はんだバンプ 1 2 のみに応力が集中して印加されるのを防止できる。よって、はんだバンプ 1 2 に剥離や損傷が発生することを防止でき、実装信頼性を向上させることができる。

【 0 0 7 9 】

図 6 及び図 7 は、本発明の第 2 実施例である半導体装置 1 0 （電子部品）の実装方法を示す図である。尚、図 6 及び図 7 において、第 1 実施例の説明に用いた図 3 乃至図 5 に示した構成と同一構成については、同一符号を付してその説明を省略する。

【 0 0 8 0 】

前記した第 1 実施例では、フラックスペースト 1 5 A を実装基板 1 3 に配設する構成とした。これに対して本実施例では、フラックスペースト 1 5 B をはんだバンプ 1 2 に配設することを特徴としている。

【 0 0 8 1 】

図 6 （A）は、フラックスペースト 1 5 B が配設された半導体装置 1 0 を実装基板 1 3 と対向させた状態を示している。また、図 7 はフラックスペースト 1 5 B が配設されたはんだバンプ 1 2 を拡大して示している。

【 0 0 8 2 】

フラックスペースト 1 5 B は、第 1 実施例で用いたフラックスペースト 1 5 A と同様に金属粒 1 6 とベースフラックス 1 7 とにより構成されている。この金属粒 1 6 の構成、及びベースフラックス 1 7 に対する金属粒 1 6 の混合の割合は、第 1 実施例と同様である。

また、フラックスペースト 1 5 B をはんだバンプ 1 2 に配設する方法としては、基板に予め配設しておいたフラックスペースト 1 5 A をはんだバンプ 1 2 に転写する転写法や、フラックスペースト 1 5 B が装填されたディスペンサーを用いて各はんだバンプ 1 2 に塗布するディスペンス法を用いることができる。

【 0 0 8 3 】

フラックスペースト 1 5 B をはんだバンプ 1 2 に配設した後に実施される図 6 (B) ～図 6 (E) に示す各処理は、先に図 3 (B) ～図 3 (E) を用いて説明した第 1 実施例の各処理と同一である。即ち、図 6 (B) に示すように半導体装置 1 0 を実装基板 1 3 に搭載し、図 6 (C) に示すように加熱処理を行なうことによりはんだバンプ 1 2 を接続端子 1 4 に溶融接合し、図 6 (D) に示すように残留フラックス及び残留金属粒の洗浄処理を行ない、図 6 (E) に示すように補強樹脂 1 8 の形成処理を行なう。

【 0 0 8 4 】

この際、図 6 (B) に示す半導体装置 1 0 を実装基板 1 3 に搭載する処理においては、本実施例のようにフラックスペースト 1 5 B をはんだバンプ 1 2 に配設した構成でも、搭載時に半導体装置 1 0 を実装基板 1 3 に向け押し付けることにより、はんだバンプ 1 2 下に存在した金属粒 1 6 ははんだバンプ 1 2 の側部位置に押し出される。よって、はんだバンプ 1 2 の直径（高さ）にバラツキが存在していたとしても、このはんだバンプ 1 2 の直径の大小に拘わらず、はんだバンプ 1 2 と接続端子 1 4 は金属粒 1 6 により電氣的に接続される。

【 0 0 8 5 】

また、図 6 (C) に示す加熱処理においては、はんだバンプ 1 2 が溶融した際、金属粒 1 6 ははんだバンプ 1 2 内に取り込まれるため、直径の大小に拘わらずはんだバンプ 1 2 を確実に接続端子 1 4 に接合することができる。更に、隣接する接続位置間が金属粒 1 6 により接続されて短絡することを防止できること、搭

載後においてフラックスペースト 1 5 B により半導体装置 1 0 を実装基板 1 3 に確実に保持することができること等の第 1 実施例で実現することができる作用効果は、第 2 実施例の実装方法においても実現することができる。

【 0 0 8 6 】

図 8 は、本発明の第 3 実施例である半導体装置 1 0（電子部品）の実装方法を示す図である。尚、図 8 においても、第 1 実施例の説明に用いた図 3 乃至図 5 に示した構成と同一構成については、同一符号を付してその説明を省略するものとする。

【 0 0 8 7 】

本実施例に係る実装方法は、第 1 実施例における図 3（C）～図 3（E）に示した各処理に対応する処理に特徴を有するものである。第 1 及び第 2 実施例では、はんだバンプ 1 2 を接続端子 1 4 に接合した後、残留する残留フラックスを洗浄して除去する構成とされていた。

【 0 0 8 8 】

これは、フラックスペースト 1 5 A、1 5 B のベースフラックス 1 7 が補強樹脂 1 8 と異なる材料の場合、ベースフラックス 1 7 と補強樹脂 1 8 の樹脂材との接合性が不良であると、補強樹脂 1 8 の充填性が低下してしまうことによる。

【 0 0 8 9 】

これに対して本実施例では、フラックスペースト 1 5 C を構成するベースフラックス 1 9 が、補強樹脂 1 8 となる樹脂を主成分とするよう構成したことを特徴としている（本実施例では、同一材料としている）。これにより、はんだバンプ 1 2 と接続端子 1 4 との接合後に残留するベースフラックス 1 9 は、その後に形成される補強樹脂 1 8 の樹脂と略同成分となる。

【 0 0 9 0 】

よって、補強樹脂 1 8 とベースフラックス 1 9 との接合性は良好となり、ベースフラックス 1 9 を除去することなく補強樹脂 1 8 を形成することが可能となる。即ち、図 8（A）に示すように、ベースフラックス 1 9 が残留している状態で補強樹脂 1 8 を形成することが可能となる。従って、第 1 及び第 2 実施例と異なり、補強樹脂 1 8 の形成前にベースフラックス 1 9 を洗浄する必要はなくなり、

実装工程の簡略化を図ることができる。

【0091】

図8(B)は、補強樹脂18が形成された状態を示している。この状態において、補強樹脂18とベースフラックス19とは同一樹脂材料であるため、両者18、19は一体化した状態となっている。よって、ベースフラックス19が残留していても、補強樹脂18を確実に半導体装置10と実装基板13との間に形成することができ、またこれに伴い半導体装置10と実装基板13との間における機械的強度を所定強度に維持することができる。

【0092】

尚、ベースフラックス19を補強樹脂18と同一主成分の樹脂で構成した場合、はんだバンプ12を接続端子14に接合する際に印加される熱による熱硬化が問題となるが、これはベースフラックス19の樹脂の硬化剤量をコントロールすることで解決することができる。例えば、比較的硬化の進行が早い場合には、ベースフラックス19に用いる樹脂の硬化剤量を減らすことではんだバンプ12と接続端子14との接合時における接合硬化反応を制御し、その後の補強樹脂18の形成処理で完全に硬化させるようにすることも可能である。

【0093】

ここで、本実施例のようにベースフラックス19が実装基板13に残存する構成では、はんだバンプ12と接続端子14との接合後に、残存しているベースフラックス19と半導体装置10との間に所定の空間部が形成されている必要がある。即ち、残存しているベースフラックス19と半導体装置10との間に、補強樹脂18を形成するための空間部が形成されている必要がある。

【0094】

このため本実施例では、フラックスペースト15Cを実装基板13に配設する際、フラックスペースト15Cを実装基板13上に金属粒16の直径以上で、かつはんだバンプ12の直径の1/2以下の厚さで配設することとした。フラックスペースト15Cをこの厚さで配設することにより、はんだバンプ12と接続端子14との接合処理が終了した時点で、残留したベースフラックス19で半導体装置10と実装基板13との間が塞がれることを防止できる。

【 0 0 9 5 】

即ち、残留したベースフラックス 1 9 と半導体装置 1 0 との間に、補強樹脂 1 8 を形成するための空間部を確実に形成することができる。これにより、接合処理の終了後に実施される補強樹脂 1 8 の形成処理を容易かつ確実にに行なうことができる。

【 0 0 9 6 】

一方、上記した第 3 実施例では、補強樹脂 1 8 とベースフラックス 1 9 とを同一樹脂材料とした例について説明したが、補強樹脂 1 8 の樹脂材料と同種の樹脂材からなるフィラーを除いたものを主成分とするベースフラックスを用いることも可能である。この構成とした場合には、はんだバンプ 1 2 と接続端子 1 4 の接合時において、はんだバンプ 1 2 と接続端子 1 4 との間に上記樹脂のフィラーが存在しないため接合性を向上させることができる。

【 0 0 9 7 】

以上の説明に関し、更に以下の項を開示する。

(付記 1) 電子部品に設けられた突起電極を実装基板に設けられた接続端子に溶融接合することにより、前記電子部品を前記実装基板に実装する電子部品の実装方法において、

前記突起電極の直径より小さい直径を有する金属粒とベースフラックスとを含むフラックスペーストを、前記電子部品を前記実装基板に搭載した時に前記電子部品との間に間隙が形成される厚さで前記実装基板上に配設する工程と、

前記フラックスペーストが配設された実装基板に前記電子部品を搭載すると共に加熱処理を行ない、前記突起電極を前記接続端子に接合する工程と、

前記突起電極と前記接続端子との接合後、前記電子部品と前記実装基板との間に形成される前記間隙に樹脂を封止する工程とを有することを特徴とする電子部品の実装方法。

(付記 2) 付記 1 記載の電子部品の実装方法において、

前記金属粒の直径を、前記突起電極の直径の公差以上、前記突起電極の直径の約 1 / 3 以下とし、

かつ、前記フラックスペーストが、該金属粒を体積比率で 1 % 以上 2 0 % 以下

含む構成としたことを特徴とする電子部品の実装方法。

(付記 3) 付記 1 または 2 記載の電子部品の実装方法において、

前記フラックスペーストを、前記実装基板の前記接続端子を含む領域に、前記金属粒の直径以上、前記突起電極の直径の $1/2$ 以下の厚さで配設したことを特徴とする電子部品の実装方法。

(付記 4) 付記 1 乃至 3 のいずれか 1 項に記載の電子部品の実装方法において

前記フラックスペーストのベースフラックスは、前記間隙を封止する樹脂を主成分とすることを特徴とする電子部品の実装方法。

(付記 5) 付記 1 乃至 3 のいずれか 1 項に記載の電子部品の実装方法において

前記フラックスペーストのベースフラックスは、前記間隙を封止する樹脂のフィラーを除いたものを主成分とすることを特徴とする電子部品の実装方法。

(付記 6) 付記 1 乃至 5 のいずれか 1 項に記載の電子部品の実装方法において

前記突起電極をボール形状とし、

かつ、前記金属粒を、前記突起電極が前記接続端子に押圧された際に移動する滑面を有した形状としたことを特徴とする電子部品の実装方法。

(付記 7) 電子部品に設けられた突起電極を実装基板に設けられた接続端子に溶融接合することにより、前記電子部品を前記実装基板に実装する電子部品の実装方法において、

前記突起電極の直径より小さい直径を有する金属粒を含むフラックスペーストを、前記電子部品を前記実装基板に搭載した時に前記電子部品との間に間隙が形成される厚さで前記突起電極上に配設する工程と、

前記実装基板に前記電子部品を搭載すると共に加熱処理を行ない、前記突起電極を前記接続端子に接合する工程と、

前記突起電極と前記接続端子との接合後、前記電子部品と前記実装基板との間に形成される前記間隙に樹脂を封止する工程とを有することを特徴とする電子部品の実装方法。

(付記 8) 付記 7 記載の電子部品の実装方法において、

前記金属粒の直径を、前記突起電極の直径の公差以上、前記突起電極の直径の約 1 / 3 以下とし、

かつ、前記フラックスペーストが、該金属粒を体積比率で 1 % 以上 2 0 % 以下含む構成としたことを特徴とする電子部品の実装方法。

(付記 9) 付記 7 または 8 記載の電子部品の実装方法において、

前記フラックスペーストのベースフラックスは、前記間隙を封止する樹脂を主成分とすることを特徴とする電子部品の実装方法。

(付記 1 0) 付記 7 または 8 記載の電子部品の実装方法において、

前記フラックスペーストのベースフラックスは、前記間隙を封止する樹脂のフィラーを除いたものを主成分とすることを特徴とする電子部品の実装方法。

(付記 1 1) 付記 7 乃至 1 0 のいずれか 1 項に記載の電子部品の実装方法において、

前記突起電極をボール形状とし、

かつ、前記金属粒を、前記突起電極が前記接続端子に押圧された際に移動する滑面を有した形状としたことを特徴とする電子部品の実装方法。

(付記 1 2) 電子部品に設けられた突起電極を実装基板に設けられた接続端子に溶融接合するのに使用されるペースト材料において、

金属粒とベースフラックスとにより構成されており、

該金属粒の直径を、前記突起電極の直径の公差以上、前記突起電極の直径の約 1 / 3 以下とし、

かつ、該金属粒が体積比率で 1 % 以上 2 0 % 以下含む構成としたことを特徴とするペースト材料。

【 0 0 9 8 】

【発明の効果】

上述の如く本発明によれば、次に述べる種々の効果を実現することができる。

【 0 0 9 9 】

請求項 1 及び請求項 6 記載の発明によれば、突起電極と接続端子との間に間隙が存在しても、金属粒がこの間隙間を電氣的に接続する構成となるため、突起電

極と接続端子に接合不良が発生することを防止することができる。また、電子部品と実装基板との間に配設される樹脂はフラックスペーストの材質に影響されることなく選定することが可能であるため、樹脂の選定を容易に行なうことができる。

【 0 1 0 0 】

また、請求項 2、請求項 7、及び請求項 1 0 記載の発明によれば、突起電極の直径のバラツキにより突起電極と接続端子との間に間隙が発生しても確実に突起電極と接続端子を電氣的に接続することができる。また、金属粒の直径を突起電極の直径の約 $1/3$ 以下としたことにより、突起電極を溶融し接続端子に接合する際、隣接する突起電極が金属粒により接続されて短絡することを防止できる。

【 0 1 0 1 】

更に、フラックスペーストが金属粒を体積比率で 1 % 以上 2 0 % 以下含む構成としたことにより、配設量のコントロールを厳しく設定しなくてもブリッジ不良の発生を抑制でき、また突起電極が接続端子に溶融接合されるまでの間における電子部品の実装基板への保持も確実に行なうことができる。

【 0 1 0 2 】

また、請求項 3 記載の発明によれば、接合処理が終了した時点で電子部品と実装基板との間隙が残留フラックスで塞がれることを防止できるため、その後に実施される樹脂の封止処理を容易に行なうことができる。

【 0 1 0 3 】

また、請求項 4 及び請求項 8 記載の発明によれば、接合後に残留するベースフラックスと封止用の樹脂との接合性は良好となり、よって樹脂の配設前にベースフラックスを洗浄する必要はなくなり、実装工程の簡略化を図ることができる。

【 0 1 0 4 】

また、請求項 5 及び請求項 9 記載の発明によれば、接合時において突起電極と接続端子の接合性を向上させることができる。

【 0 1 0 5 】

また、上記各発明において、突起電極をボール形状とし、かつ金属粒を突起電極が前記接続端子に押圧された際に移動しうる滑面を有した形状とすることによ

り、電子部品を実装基板に搭載する際、突起電極が接続端子に近接するに従い金属粒は突起電極と接続端子との間で円滑に移動するため、突起電極と接続端子の実装信頼性を向上させることができる。

【図面の簡単な説明】

【図 1】

従来の一例である半導体装置の実装方法を説明するため図である（その 1）。

【図 2】

従来の一例である半導体装置の実装方法を説明するため図である（その 2）。

【図 3】

本発明の第 1 実施例である半導体装置の実装方法を説明するための図である。

【図 4】

フラックスペーストを配設した実装基板を拡大して示す図である。

【図 5】

半導体装置を実装基板に押圧した状態を拡大して示す図である。

【図 6】

本発明の第 2 実施例である半導体装置の実装方法を説明するための図である。

【図 7】

フラックスペーストが配設された半導体装置を拡大して示す図である。

【図 8】

本発明の第 3 実施例である半導体装置の実装方法を説明するための図である。

【符号の説明】

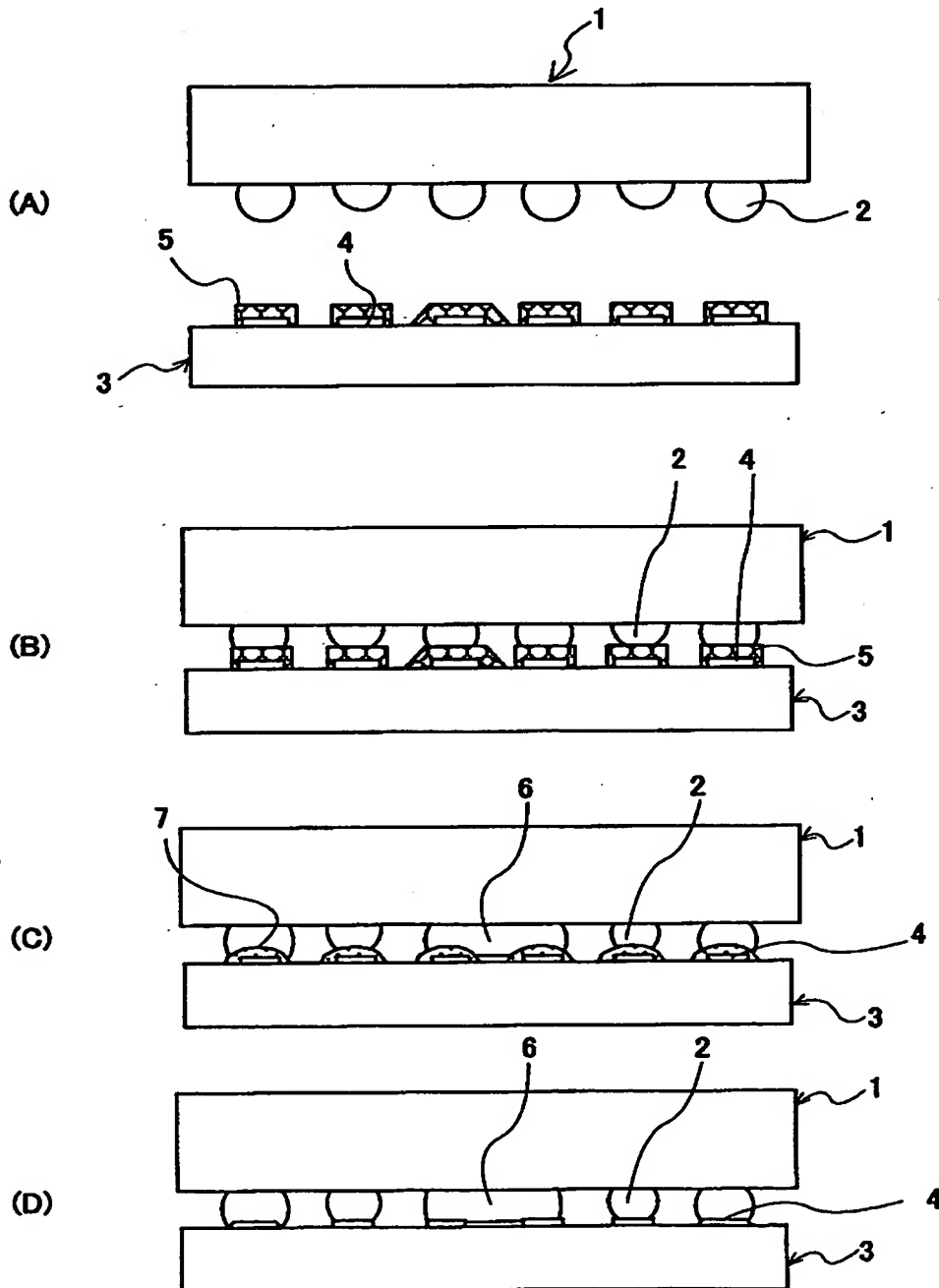
- 1 0 半導体装置
- 1 2 はんだバンプ
- 1 3 実装基板
- 1 4 接続端子
- 1 5 A ～ 1 5 C フラックスペースト
- 1 6 金属粒
- 1 7, 1 9 ベースフラックス
- 1 8 補強樹脂

【書類名】

図面

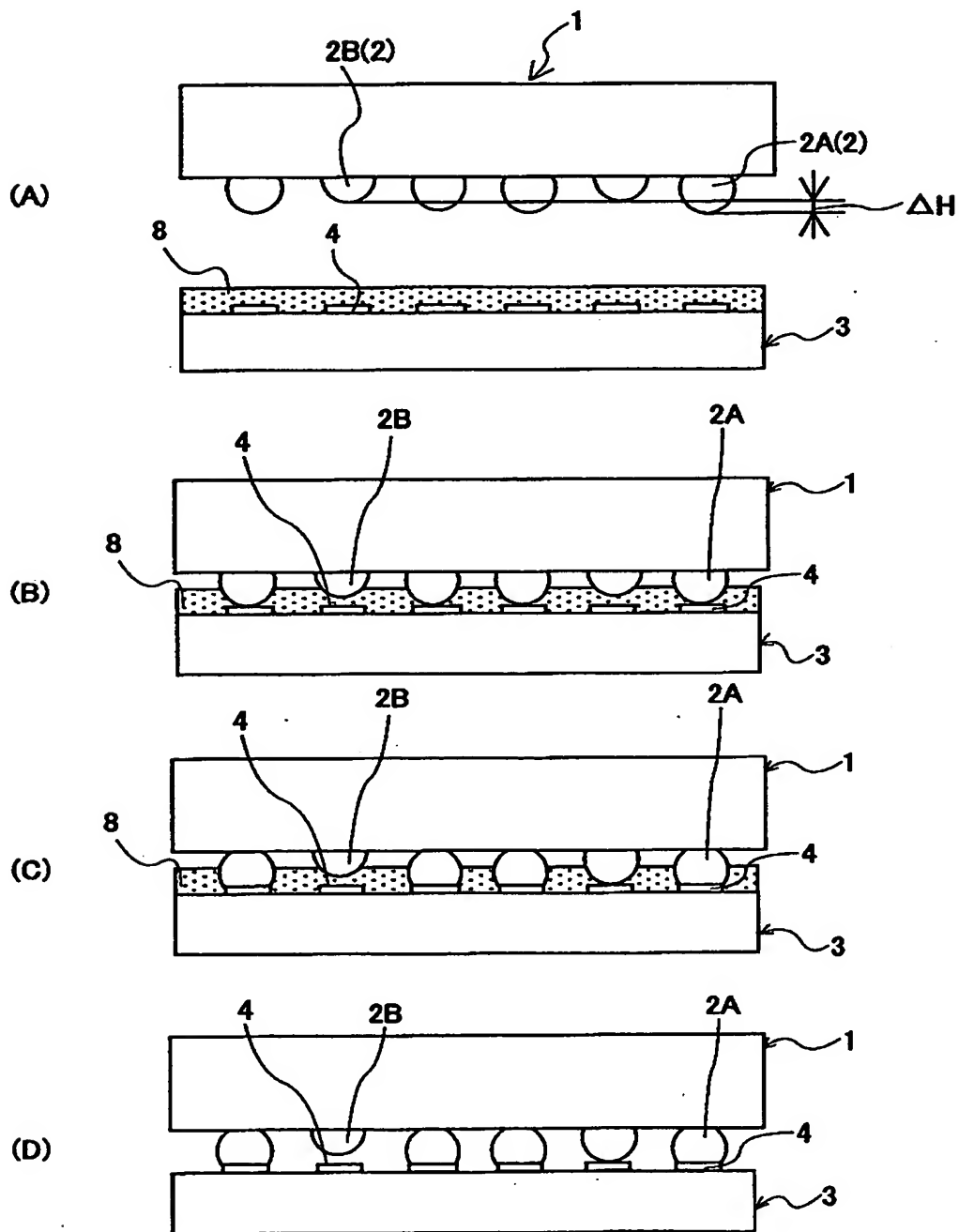
【図 1】

従来の一例である半導体装置の実装方法を説明するための図
(その 1)



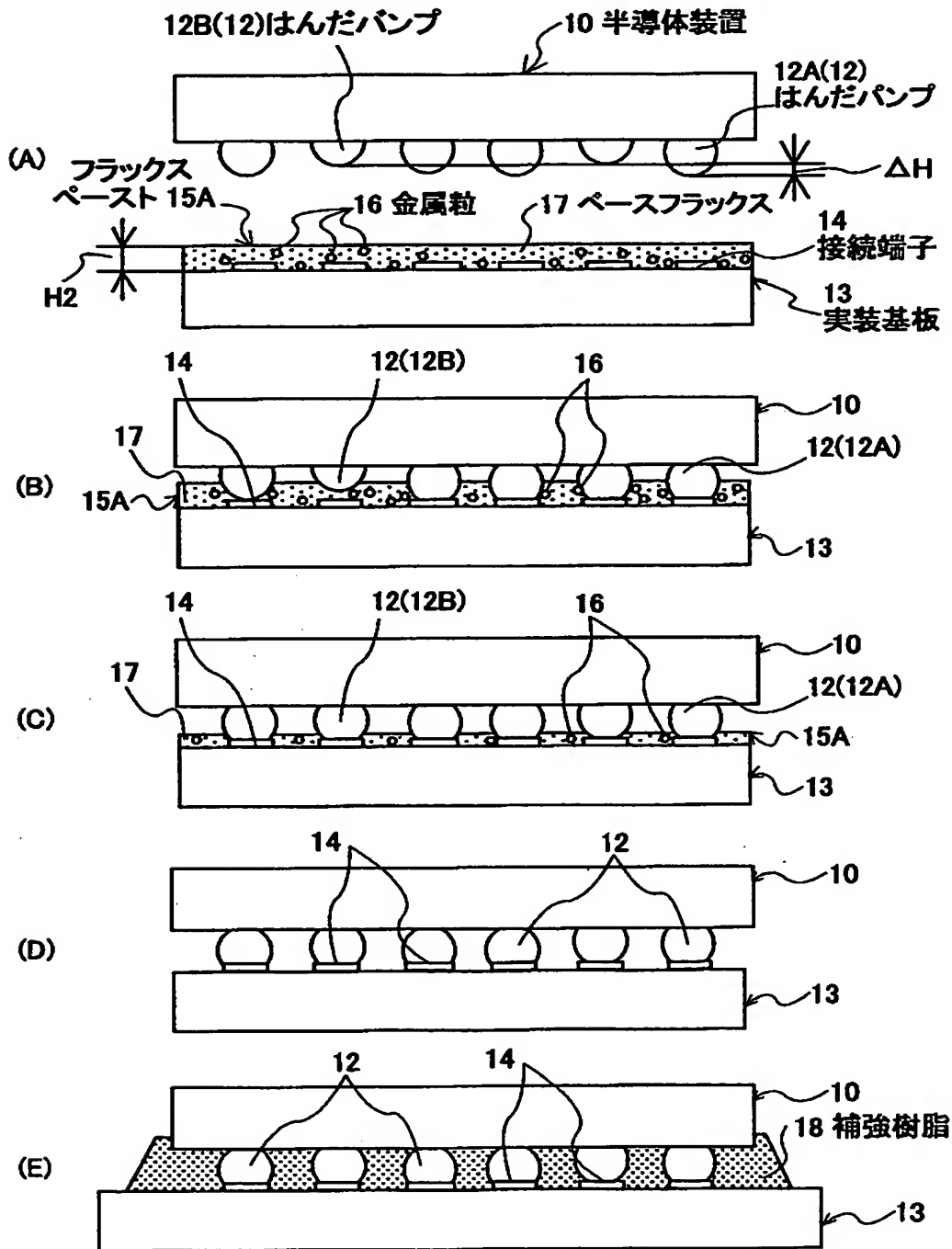
【図 2】

従来の一例である半導体装置の実装方法を説明するための図
(その 2)



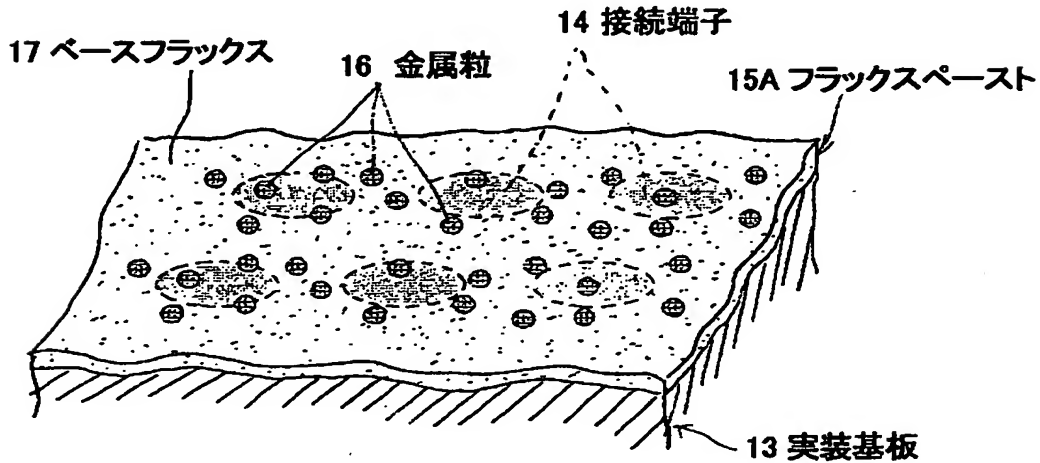
【図 3】

本発明の第 1 実施例である半導体装置の実装方法を説明するための図



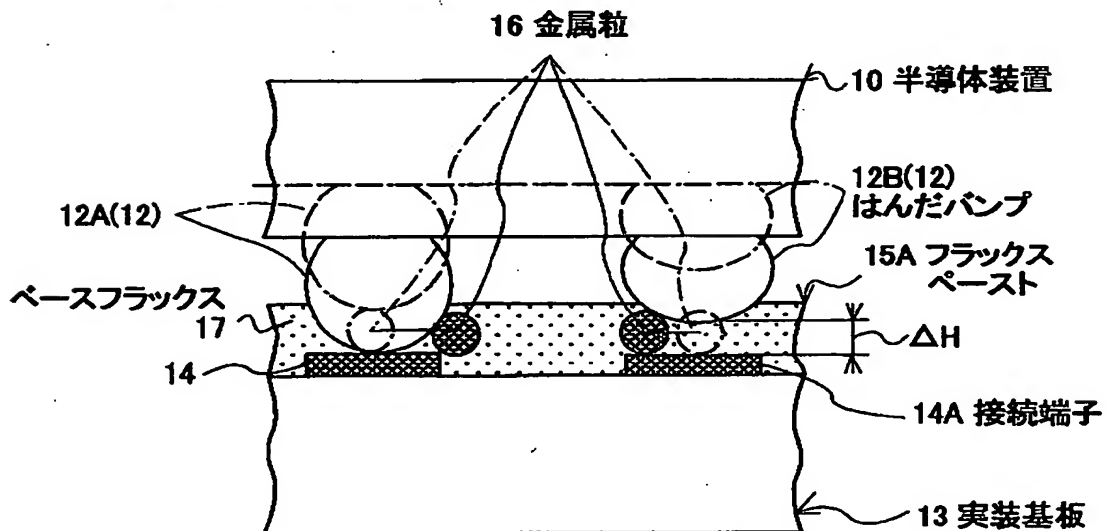
【図 4】

フラックスペーストを配設した実装基板を拡大して示す図



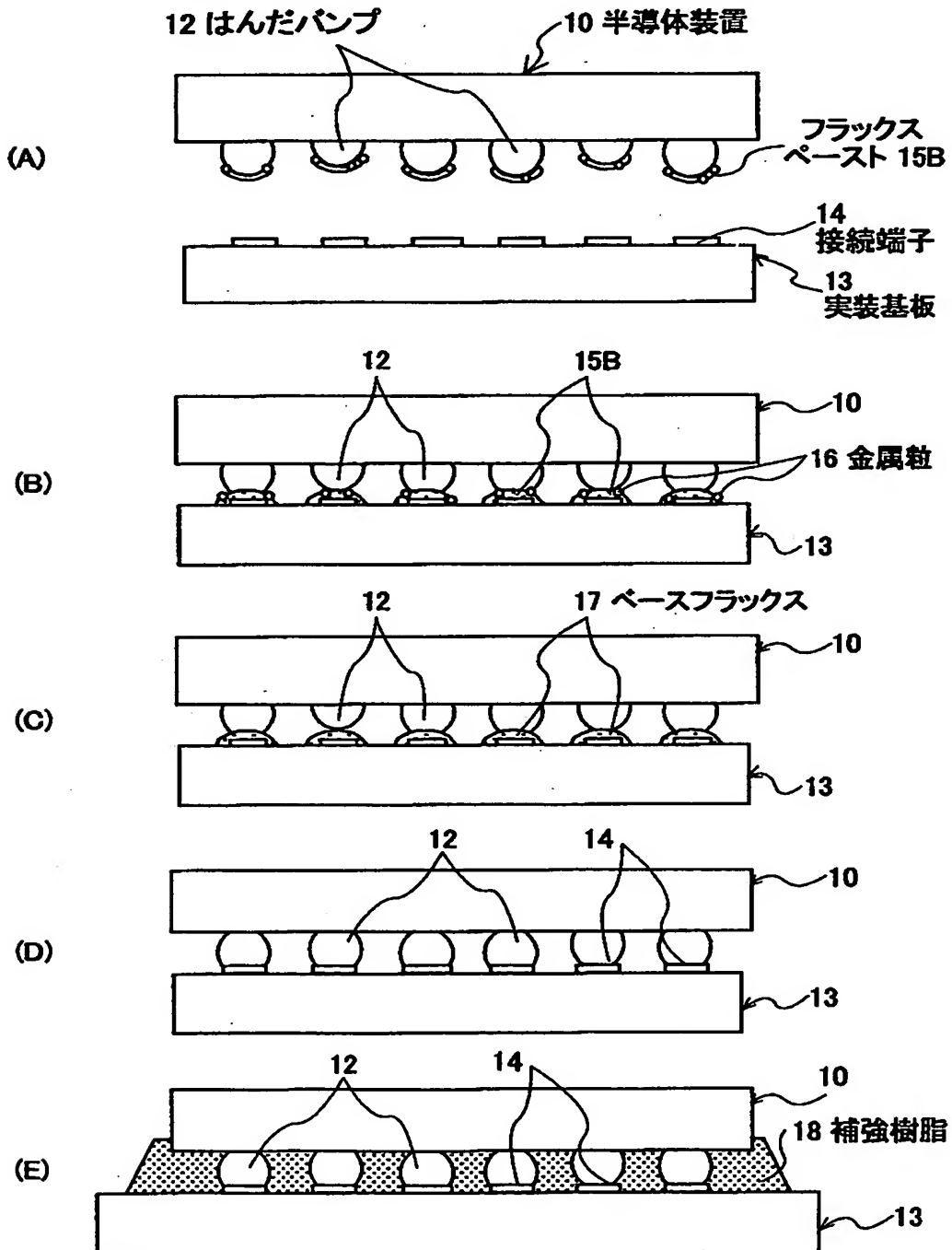
【図 5】

半導体装置を実装基板に押圧した状態を拡大して示す図



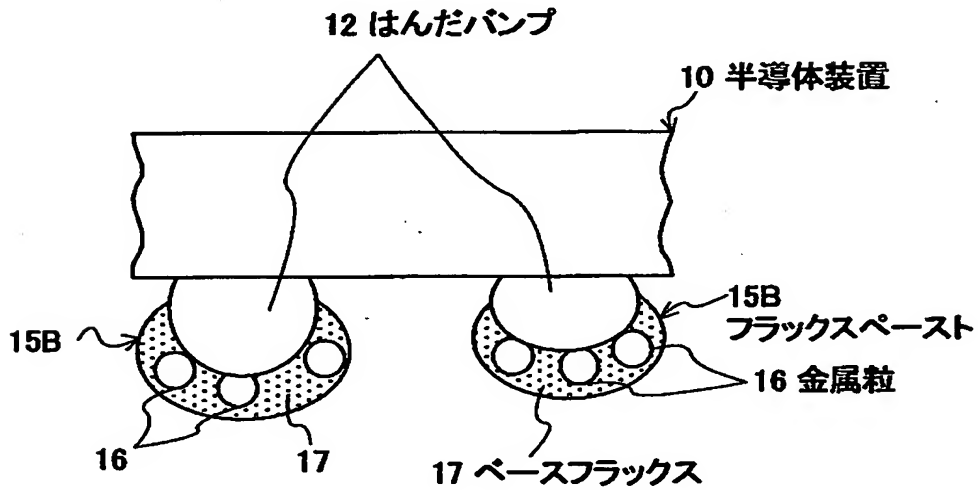
【図 6】

本発明の第2実施例である半導体装置の実装方法を説明するための図



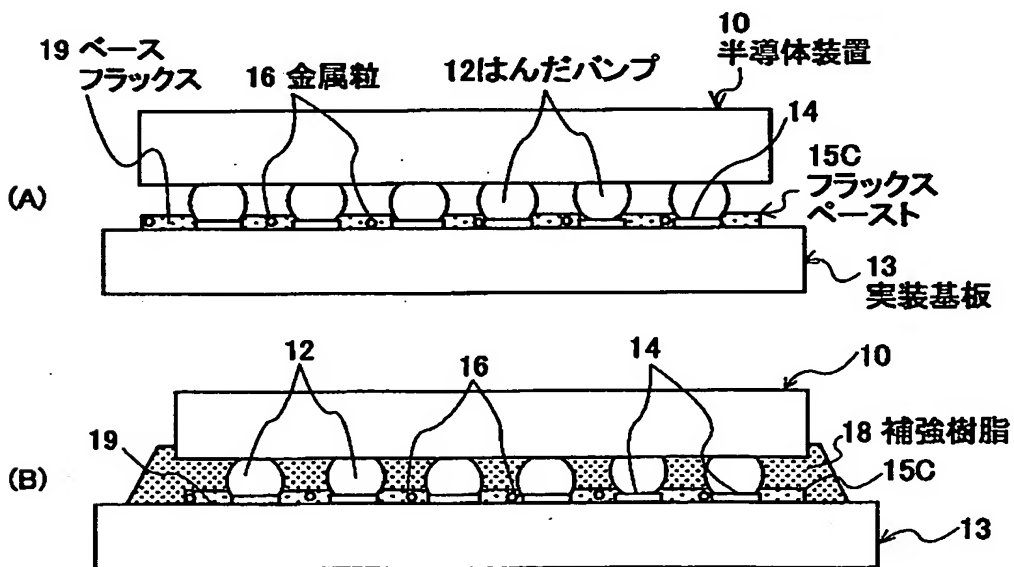
【図 7】

フラックスペーストが配設された半導体装置を拡大して示す図



【図 8】

本発明の第 3 実施例である半導体装置の実装方法を説明するための図



【書類名】 要約書

【要約】

【課題】 本発明はフリップチップ実装方式等の電子部品の突起電極を溶融させて実装基板の接続端子に接続する電子部品の実装方法及びペースト材料に関し、突起電極と接続端子との実装信頼性を向上することを課題とする。

【解決手段】 はんだバンプ12を有した半導体装置10を、接続端子14を有する実装基板13にフリップチップ実装する際、先ずはんだバンプ12の直径より小さい直径を有する金属粒16とベースフラックス17とを含むフラックスペースト15Aを実装基板13に配設する。この時、フラックスペースト15Aの厚さは、半導体装置10を実装基板13に搭載した時に両者10、13の間に間隙が形成される厚さとする。次に、フラックスペースト15Aが配設された実装基板13に半導体装置10を搭載すると共に加熱処理を行ない、はんだバンプ12を溶融して接続端子14に接合する。続いて、半導体装置10と実装基板13との間に形成される空間に補強樹脂18を形成する。

【選択図】 図3

特2001-134532

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社